

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



JP10340952

Biblio

Page 1

Drawing



METHOD FOR FORMING MULTILAYER WIRING IN INTEGRATED CIRCUIT

Patent Number: JP10340952
Publication date: 1998-12-22
Inventor(s): SO KOKI
Applicant(s): SHIJIE XIANJIN JITI ELECTRIC CO LTD
Requested Patent: ☐ JP10340952
Application Number: JP19970145549 19970603
Priority Number(s):
IPC Classification: H01L21/768; H01L21/28; H01L21/3205
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To enhance mass productivity without sacrificing step coverage by forming a first wiring in a first shallow trench while a first metal plug in a first deep trench and connecting the first metal plug electrically with an electrode on a silicon semiconductor wafer through the deep trench.

SOLUTION: A metal film containing copper, titanium, or the like, is deposited by CVD to fill first shallow and deep trenches 31, 35. The metal film is then removed by plasma etchback, or the like, except the first shallow and deep trenches 31, 35 to form a second wiring 38A in the first shallow trench 31 and a first metal plug 38B in the first deep trenches 35. The first metal plug 38B is connected electrically with a first wiring 24 through the first deep trenches 35. According to the structure, an ideal step coverage is realized by the deep trench having a step and mass productivity of multilayer wiring integrated circuit can be enhanced.

Data supplied from the esp@cenet database - I2

AL

Date of requesting trial against decision to refuse ()

Date of extinction of right ()

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-340952

(43)公開日 平成10年(1998)12月22日

(51)Int.Cl.⁵

識別記号

F I

H 0 1 L 21/768

H 0 1 L 21/90

B

21/28

21/28

L

21/3205

21/88

K

審査請求 有 請求項の数10 O L (全 10 頁)

(21)出願番号

特願平9-145549

(71)出願人 397031108

世界先進積體電路股▲ふん▼有限公司

台湾新竹科学工業園區新竹県園區三路123号

(22)出願日

平成9年(1997)6月3日

(72)発明者 曾 鴻輝

台湾新竹市中央路281巷25号5楼

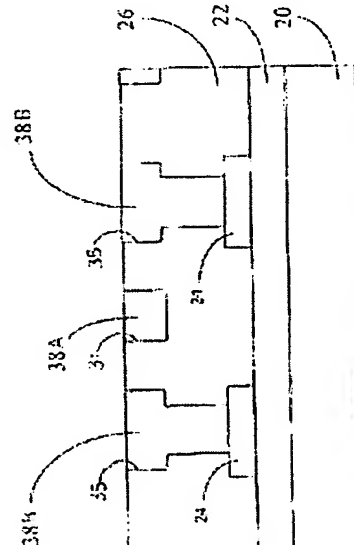
(74)代理人 弁理士 萩原 誠

(54)【発明の名称】 集積回路の多層配線形成方法

(57)【要約】

【課題】 理想的なステップカバレッジが実現でき、かつ生産性に優れた金属配線および金属プラグを形成する集積回路の多層配線形成方法を提供する。

【解決手段】 レジスト浸食技術により誘電膜上に浅い溝ならびに段差付の深い溝を形成し、CVD(化学的気相成長法)により金属膜を浅い溝ならびに段差付の深い溝に埋め込むものであって、段差付の深い溝によって理想的なステップカバレッジが実現し、プラズマエッチバックまたはCMP(化学的機械的研磨法)により浅い溝ならびに段差付の深い溝以外の領域にある金属膜を除去して、浅い溝の内部に金属配線を形成し、段差付の深い溝の内部に金属プラグを形成する構成により、多層配線集積回路の大量生産に応用することができる。



【特許請求の範囲】

【請求項 1】 シリコン半導体ウェハの表面に第 1 誘電膜を形成し、かつ前記シリコン半導体ウェハの表面に第 1 導電材料を設けるステップと、

第 2 誘電膜を形成するステップと、

リソグラフィにより第 1 レジストパターンを形成し、この第 1 レジストパターンをエッチマスクとして、エッチングにより前記第 1 誘電膜の一定厚さならびに前記第 2 誘電膜をエッチアウトすることによって、前記第 1 誘電膜の表面に浅い溝を形成するステップと、

前記第 1 レジストパターンの一部分をサイドからエッチアウトし、前記第 2 誘電膜の一部分を露出させ、さらにエッチングにより露出された前記第 2 誘電膜をエッチアウトするとともに、エッチングを前記第 1 誘電膜の表面でストップさせるステップと、

前記第 1 レジストパターンを除去するステップと、

リソグラフィにより第 2 レジストパターンを形成して、前記浅い溝の一部分および前記第 2 誘電膜の一部分を被覆するとともに、浅い溝の他部分および前記第 2 誘電膜の他部分を露出させるステップと、

前記第 2 レジストパターンならびに前記第 2 誘電膜の露出した部分をエッチマスクとして、エッチングにより前記第 1 誘電膜の露出した部分をエッチアウトするとともに、エッチングを前記第 1 誘電膜の下層にある第 1 導電材料でストップさせて、前記浅い溝を深い溝とするステップと、

前記第 2 レジストパターンおよび前記第 2 誘電膜を除去して、前記第 1 誘電膜の表面に前記浅い溝ならびに深い溝を形成するステップと、

金属膜を形成して、この金属膜により前記浅い溝および深い溝を埋め込むステップと、

前記浅い溝および深い溝以外の領域の前記金属膜を除去して、前記浅い溝の内部に第 1 金属配線を形成し、前記深い溝の内部に第 1 金属プラグを形成し、この第 1 金属プラグを前記深い溝を介して前記第 1 導電材料に電気接続させるステップとを具備することを特徴とする集積回路の多層配線形成方法。

【請求項 2】 シリコン半導体ウェハの表面に第 1 誘電膜を形成し、前記シリコン半導体ウェハの表面にゲート酸化膜、ゲート電極およびソース/ドレインを設けるステップと、

第 2 誘電膜を形成するステップと、

リソグラフィにより第 1 レジストパターンを形成し、この第 1 レジストパターンをエッチマスクとして、エッチングにより前記第 1 誘電膜の一定厚さならびに前記第 2 誘電膜をエッチアウトすることによって、前記第 1 誘電膜の表面に浅い溝を形成するステップと、

第 1 レジストパターンの一部分をサイドからエッチアウトし、前記第 2 誘電膜の一部分を露出させ、さらにエッチングにより露出された前記第 2 誘電膜をエッチアウト

するとともに、エッチングを前記第 1 誘電膜の表面でストップさせるステップと、

前記第 1 レジストパターンを除去するステップと、

リソグラフィにより第 2 レジストパターンを形成し、前記浅い溝の一部分および前記第 2 誘電膜の一部分を被覆するとともに、浅い溝の他部分および前記第 2 誘電膜の他部分を露出させるステップと、

前記第 2 レジストパターンならびに前記第 2 誘電膜の露出した部分をエッチマスクとして、エッチングにより前記第 1 誘電膜の露出した部分をエッチアウトするとともに、エッチングを前記第 1 誘電膜の下層にある前記ゲート電極でストップさせて、前記浅い溝をコンタクトホールとするステップと、

前記第 2 レジストパターンおよび前記第 2 誘電膜を除去して、前記第 1 誘電膜の表面に前記浅い溝ならびにコンタクトホールを形成するステップと、

金属膜を形成して、この金属膜により前記浅い溝およびコンタクトホールを埋め込むステップと、

前記浅い溝およびコンタクトホール以外の領域の前記金属膜を除去して、前記浅い溝の内部に第 1 金属配線を形成し、前記コンタクトホール内部に第 1 金属プラグを形成し、この第 1 金属プラグを前記コンタクトホールを介して前記ゲート電極およびソース/ドレインに電気接続させるステップとを具備することを特徴とする集積回路の多層配線形成方法。

【請求項 3】 シリコン半導体ウェハの表面に第 1 誘電膜を形成し、かつ前記シリコン半導体ウェハの表面に第 1 金属配線を設けるステップと、

第 2 誘電膜を形成するステップと、

リソグラフィにより第 1 レジストパターンを形成し、この第 1 レジストパターンをエッチマスクとして、エッチングにより前記第 1 誘電膜の一定厚さならびに前記第 2 誘電膜をエッチアウトすることによって、前記第 1 誘電膜の表面に浅い溝を形成するステップと、

第 1 レジストパターンの一部分をサイドからエッチアウトし、前記第 2 誘電膜の一部分を露出させ、さらにエッチングにより露出された前記第 2 誘電膜をエッチアウトするとともに、エッチングを前記第 1 誘電膜の表面でストップさせるステップと、

前記第 1 レジストパターンを除去するステップと、

リソグラフィにより第 2 レジストパターンを形成し、前記浅い溝の一部分および前記第 2 誘電膜の一部分を被覆するステップと、

前記第 2 レジストパターンならびに前記第 2 誘電膜の露出した部分をエッチマスクとして、エッチングにより前記第 1 誘電膜の露出した部分をエッチアウトするとともに、エッチングを前記第 1 誘電膜の下層にある第 1 金属配線でストップさせて、前記浅い溝をスルーホールとするステップと、

前記第 2 レジストパターンおよび前記第 2 誘電膜を除去

して、前記第1誘電膜の表面に前記浅い溝ならびにスルーホールを形成するステップと、第2金属膜を形成して、この第2金属膜により前記浅い溝およびスルーホールを埋め込むステップと、前記浅い溝およびスルーホール以外の領域の前記第2金属膜を除去して、前記浅い溝の内部に第2金属配線を形成し、前記コンタクトホール内部に第1金属プラグを形成し、この第1金属プラグを前記スルーホールを介して前記第1金属配線に電気接続させるステップとを具備することを特徴とする集積回路の多層配線形成方法。

【請求項4】 前記シリコン半導体ウェハが、フィールド酸化膜と、金属酸化膜半導体電界効果トランジスタと、キャパシタと、電気抵抗と、導電材料とを具備することを特徴とする請求項1乃至3のいずれか1項に記載の集積回路の多層配線形成方法。

【請求項5】 前記金属酸化膜半導体電界効果トランジスタが、ゲート酸化膜と、ゲート電極と、ソース/ドレインとを具備することを特徴とする請求項4記載の集積回路の多層配線形成方法。

【請求項6】 前記第1誘電膜が、2種類以上の誘電膜からなることを特徴とする請求項1乃至3のいずれか1項に記載の集積回路の多層配線形成方法。

【請求項7】 前記第2誘電膜が、プラズマ増強式化学的気相成長法により形成された窒化シリコンであり、その厚さを500Åから2000Åの間とすることを特徴とする請求項1乃至3のいずれか1項に記載の集積回路の多層配線形成方法。

【請求項8】 前記第2誘電膜が、プラズマ増強式化学的気相成長法により形成されたアモルファス・シリコンであることを特徴とする請求項1乃至3のいずれか1項に記載の集積回路の多層配線形成方法。

【請求項9】 前記金属膜が、化学的気相成長法により形成されたことを特徴とする請求項1乃至3のいずれか1項に記載の集積回路の多層配線形成方法。

【請求項10】 前記浅い溝および深い溝以外の領域の前記金属膜の除去が、前記金属膜をプラズマエッチングにより異方性のエッチバックをするか、または、化学的機械的研磨をすることにより実行されることを特徴とする請求項1乃至3のいずれか1項に記載の集積回路の多層配線形成方法。

もない、サブミクロン技術の時代に入ると、集積密度を向上させるため、配線(Interconnect)技術もそれに応じて絶えずスケールダウンしているのに、微細な金属配線の形成がますます困難なものとなると同時に、コンタクトホール(Contact Hole)およびスルーホール(Via Hole)のステップカバレッジ問題(Step Coverage Problem)もますます深刻なものとなってきている。例えば、フォトリソの金属に対するエッチング選択比が大きすぎるため、フォトリソグラフィならびにプラズマエッチング(Photo lithography and Plasma-Etching)により0.15μmから0.35μmの金属配線を形成することは非常に困難なものとなっている。また、金属配線がますます細くなっても金属配線の厚さはそれほど減少しないので、幅に対する厚さの比率がますます大きくなって(High Aspect Ratio)、相当に起伏の激しい形態(Severe Topography)となり、後続の薄膜堆積およびフォトリソグラフィやエッチング工程にとってたいへん不利なものとなっていた。

【0003】そこで、金属配線の幅に対する厚さの比率がますます大きくなるという問題を解決するために、日本NEC社のエンジニアが1995年の「VLSI SYMPOSIUM」第27～28ページにおいて提案した化学的気相成長法により形成された埋込金属(Recessed Metal)を利用して金属配線および金属プラグを形成する方法がある。ここに、その方法を簡単に述べてみると、まず、シリコン半導体ウェハの表面に誘電膜ならびにハードマスクを形成して、そのハードマスクをエッチストップ(Etch Stop)膜とする。次に、フォトリソグラフィによって第1フォトリソパターンを形成してから、プラズマエッチングにより前記誘電膜ならびに前記ハードマスクを部分的にエッチアウトして、前記誘電膜の表面に第1の浅い溝を形成する。さらに、別なフォトリソグラフィマスクにより第2フォトリソパターンを形成し、この第2フォトリソパターンで前記第1の浅い溝を部分的に覆うとともに、前記第1の浅い溝を部分的に露出させる。前記ハードマスクのエッチング速度が前記誘電膜のそれよりもはるかに小さく、従って、フォトリソグラフィ工程においてミスマライメント(Misalignment)が発生しても前記ハードマスクがエッチストップ膜となって前記ハードマスクの下にある前記誘電膜がエッチングされることを防止できる。そして、プラズマエッチング技術により露出された第1の浅い溝を引き続きエッチングして、その下層にある金属膜を露出させ、前記第1の浅い溝を第2の深い溝とする。次に、前記第2フォトリソパターンおよび前記ハードマスクを除去してから、化学的気相成長法により金属膜を形成すれば、この金属膜が第1の浅い溝ならびに第2の深い溝に埋め込まれる。そして、プラズマエッチバック技術(Plasma Etchback)または化学的機械的研磨(Chemical Mechanical Polishing=ChMP)技術により前記第1の浅い

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、集積回路の金属配線(Metal Interconnect)および金属プラグ(Metal Plug)の形成方法に係り、特に、化学的気相成長法(Chemical Vapor Deposition= CVD)を利用して形成される金属膜により金属配線および金属プラグを形成する集積回路の多層配線形成方法に関する。

【0002】

【従来の技術】集積回路デバイスの絶えざる微小化にと

溝および第2の深い溝以外の前記金属膜を除去して、前記第1の浅い溝内部に金属配線を形成し、前記第2の深い溝内部に金属プラグを形成するというものであった。

【0004】

【発明が解決しようとする課題】本発明が解決しようとする課題は、上記したNEMCの提案がステップカバレージならびに生産性において十分に改善されたものとなっていない点である。そこで、化学的気相成長法を利用して形成される金属膜によって金属配線および金属プラグを形成するという目的を、良好なステップカバレージを損なうことなく、かつ生産性を向上させる形で、以下の手段により実現するものである。

【0005】

【課題を解決するための手段】前記課題を解決するために、本発明にかかる製造方法は、以下のように構成される。まず、シリコン半導体ウエハの表面に第1誘電膜を形成する。このシリコン半導体ウエハにはフィールド酸化膜、金属酸化膜半導体電界効果トランジスタ(MOS-FET)またはキャパシタおよび電気抵抗などの電気素子が含まれているとともに、この金属酸化膜半導体電界効果トランジスタにはゲート酸化膜、ゲート電極ならびにソース/ドレインが含まれている。前記第1誘電膜については、通常は、減圧CVD(Low Pressure Chemical Vapor Deposition = LPCVD)を利用してドーパされた二酸化シリコン膜が形成され、その反応ガスとしてはモノシラン(Monosilane = SiH₄)またはテトラエチオキシシラン(Tetra-Eth-Oxy-Silane = TEOS)があり、その厚さは3000Åから8000Åの間である。多くは、化学的機械的研磨(Cheical Mechanical Polishing = CMP)を併用して第1誘電膜を平坦化する。

【0006】次に、第2誘電膜を形成してから、フォトリソグラフィにより第1フォトレジストパターンを形成するが、この第1フォトレジストパターンをエッチマスクとして、プラズマエッチングにより前記第2誘電膜および一定厚さの第1誘電膜をエッチアウトすることによって、第1誘電膜の表面に第1の浅い溝を形成する。そして、レジスト浸食技術(Resist Erosion)によりサイドから前記第1フォトレジストパターンを部分的に除去して前記第2誘電膜を部分的に露出させ、プラズマエッチングにより露出した第2誘電膜をエッチアウトするが、プラズマエッチングを第1誘電膜の表面まで行って、エッチング終了するとともに第1フォトレジストパターンを除去する。

【0007】引き続き、フォトリソグラフィ技術によって第2フォトレジストパターンを形成するが、この第2フォトレジストパターンが第1の浅い溝の一部分ならびに第2誘電膜の一部分を被覆し、第1の浅い溝の一部分ならびに第2誘電膜の一部分を露出させている。そして、これら第2フォトレジストパターンおよび一部分が露出した第2誘電膜をエッチマスクとして、プラズマエ

ッチングにより露出した第1誘電膜をエッチング除去するが、このプラズマエッチングを第1誘電膜の下層にある金属膜まで行うことで、第1の浅い溝を第1の深い溝とする。そして、第2フォトレジストパターンおよび第2誘電膜を除去する。この時、第1誘電膜の表面には、第1の浅い溝ならびに第1の深い溝が形成されている。

【0008】次に、化学的気相成長法を利用して金属膜を形成するが、この金属膜としては銅、チタン、タングステン、アルミニウムおよび窒化チタンなどの金属が含まれ、この金属膜が前記第1の浅い溝および第1の深い溝に埋め込まれる。最後に、プラズマエッチバックまたは化学的機械的研磨により第1の浅い溝および第1の深い溝以外の領域の金属膜を除去して、前記第1の浅い溝内部に第1金属配線を形成し、第1の深い溝内部には第1金属プラグを形成するが、第1金属プラグは第1の深い溝(コンタクトホールに相当)を介してシリコン半導体ウエハ上の電極と電気接続している。

【0009】さらに、第3誘電膜および第4誘電膜を形成し、上記した手順を繰り返すと、第2の浅い溝ならびに第2の深い溝が形成されるとともに、第2の浅い溝に第2金属配線を形成し、第2の深い溝に第2金属プラグを形成できるが、第2金属プラグは第2の深い溝(スルーホールに相当)を介して前記第1金属配線と電気接続することができる。

【0010】本発明は、フォトレジスト浸食技術により誘電膜上に浅い溝ならびに段差付の深い溝を形成し、CVD(化学的気相成長法)により浅い溝ならびに段差付の深い溝を金属膜で埋め込むものであって、段差付の深い溝により理想的なステップカバレージが実現するとともに、プラズマエッチバックまたはCMP(化学的機械的研磨法)により浅い溝ならびに段差付の深い溝以外の領域にある金属膜を除去して、浅い溝の内部に金属配線を形成し、段差付の深い溝の内部に金属プラグを形成する多層配線形成方法により、多層配線集積回路の大量生産に適用することができる。

【0011】

【発明の実施の形態】以下、本発明の好適な実施の形態を図面に基いて説明する。また、集積回路の2層金属配線技術(Double-Level Metal Interconnection)のスルーホールに基づいて、本発明の方法を説明しているが、本発明の方法は多層金属配線(Multi-Level Metal Interconnection)技術による集積回路の製造にも応用できるものである。

【0012】まず、図1において、電気抵抗値が約3.5ohm-cmで結晶方位(100)のP型シリコン半導体ウエハ20の表面にフィールド酸化膜(図示せず)を形成するが、このフィールド酸化膜の厚さを3000Åから6000Åの間として、電気素子分離用とする。そして、P型シリコン半導体ウエハ20上に金属酸化膜半導体電界効果トランジスタ(MOS-FET 図示せず)を形成

するが、この金属酸化膜半導体電界効果トランジスタにはゲート酸化膜、ゲート電極およびソース/ドレインが形成されている（いずれも図示せず）。また、フィールド酸化膜上にポリシリコンあるいはポリサイドが形成されていて、金属酸化膜半導体電界効果トランジスタの局部配線(Local Interconnection)となっている（いずれも図示せず）。

【0013】次に、図1において、絶縁膜22を形成するとともに、この絶縁膜22上に第1金属配線24を形成する。絶縁膜22は、通常、化学的気相成長法によってホウ素・リン・シリケート・ガラス(Boro-Phospho-Silicate-Glass = BPSG)膜またはリン・シリケート・ガラス(Phospho-Silicate-Glass = PSG)膜を形成し、その厚さを3000Åから8000Åの間とする。この絶縁膜22を堆積してから、公知の熱フロー(Thermal Flow)技術により絶縁膜22を平坦なものとするが、この熱フロー温度を850℃から950℃の間とし、その熱フロー時間を10分から40分の間とする。なお、公知の化学的機械的研磨技術により絶縁膜22を平坦化してもよい。そして、フォトリソグラフィならびにプラズマエッチングにより絶縁膜22を部分的にエッチアウトしてコンタクトホールを形成する。このコンタクトホールの底部が、前記P型シリコン半導体ウェハ20のソース/ドレインまたは局部配線であり、後に形成される金属プラグにより電気接続されるものとなる（いずれも図示せず）。第1金属配線24は、チタン、窒化チタンならびにアルミニウム合金から構成されるものであり、チタン金属が窒化チタンの下方に位置するとともに、前記金属酸化膜半導体電界効果トランジスタのソース/ドレイン領域と電気接続している（いずれも図示せず）。

【0014】図2および図3において、第1誘電膜26に続いて、第2誘電膜28を形成するが、公知技術である化学的機械的研磨により第1誘電膜26を平坦化する。そして、フォトリソグラフィにより第1フォトレジストパターン30を形成する。第1誘電膜26は、通常、プラズマ増強式化学的気相成長法(Plasma Enhanced Chemical Vapor Deposition = PECVD)により二酸化シリコンを形成するが、その堆積温度を300℃から400℃の間とし、その厚さを3000Åから6000Åの間とする。第2誘電膜28は、通常、プラズマ増強式化学的気相成長法により窒化シリコンを堆積するもので、その堆積温度を300℃から400℃の間とし、その厚さを500Åから2000Åの間とする。この第2誘電膜28として、プラズマCVDによりアモルファス・シリコンを堆積することもできる。

【0015】図4において、第1フォトレジストパターン30をエッチマスクとして、プラズマエッチングにより一定厚さの第1誘電膜26と第2誘電膜28とをエッチング除去し、第1誘電膜26の表面に第1の浅い溝31を形成する。第1誘電膜26および第2誘電膜28に

対する異方性エッチングは、マグネトロン型反応性イオンエッチングまたは電子サイクロトロン共鳴あるいは従来の反応性イオンエッチングを利用することができるが、サブミクロンの半導体技術においては、通常、マグネトロン型反応性イオンエッチングを使用し、そのプラズマ反応ガスを一般にCH₄、CHF₃、Arなどのガスとする。

【0016】図5と図6とにおいて、レジスト浸食技術により第1フォトレジストパターン30を酸素プラズマ雰囲気のもとにサイドから部分的に除去して前記第2誘電膜28を部分的に露出させ（図示せず）、異方性プラズマエッチング技術により露出した第2誘電膜28をエッチアウトするが、プラズマエッチングを第1誘電膜26の表面まで行ってエッチング終了とする（図5を参照）とともに、第1フォトレジストパターン30を除去する（図6を参照）。第2誘電膜28に対する異方性エッチングは、マグネトロン型反応性イオンエッチングを使用し、そのプラズマ反応ガスをCH₄、CHF₃、Arなどのガスとする。

【0017】図7から図9において、フォトリソグラフィ技術により第2フォトレジストパターン34を形成するが、この第2フォトレジストパターン34は、第2誘電膜28の一部と第1の浅い溝31の一部とを被覆し、第2誘電膜28の一部と第1の浅い溝31の一部とを露出させている（図7を参照）。そして、一部分が露出した第2誘電膜28および第2フォトレジストパターン34をエッチマスクとして、異方性プラズマエッチングにより第1誘電膜26をエッチアウトするが、プラズマエッチングを第1誘電膜26の下層にある第1金属配線24でストップさせて、第1の浅い溝31を第1の深い溝35とする（図8を参照）。この第1の深い溝35が段差付形状(Ladder Shape)を呈して、ほぼ理想的なステップカバレッジを提供するものとなる。次に、第2誘電膜28および第2フォトレジストパターン34を除去すれば、図9に示すように、第1誘電膜26の表面に第1の浅い溝31ならびに第1の深い溝35を形成することができる。露出した第2誘電膜28に対する異方性エッチングも、やはりマグネトロン型反応性イオンエッチングにより、そのプラズマ反応ガスをCH₄、CHF₃、Arなどのガスとすることができる。

【0018】図10と図11とにおいて、化学的気相成長法により金属膜38を堆積するが、この金属膜には銅、チタン、タングステン、アルミニウム、窒化チタンなどの金属が含まれるとともに、金属膜38が第1の浅い溝31および第1の深い溝35に埋め込まれる（図10を参照）。最後に、プラズマエッチバックまたは化学的機械的研磨により第1の浅い溝31および第1の深い溝35以外の金属膜38を除去して、第1の浅い溝31内部に第2金属配線38Aを形成し、第1の深い溝35内部に第1金属プラグ38Bを形成する（図11を参

図）。この図 11 に示すように、第 1 金属プラグ 38B は第 1 の深い溝 35 を介して第 1 金属配線 24 と電気接続している。この際、第 1 の深い溝 35 が一般のコンタクトホールに相当するものである。

【0019】図 11 に示した構造を完成させた後、上記した方法を繰り返すと、さらに上層の金属配線および金属プラグを形成することができ、この際、第 2 の深い溝が一般のスルーホールに相当するものである（いずれも図示せず）。すなわち、本発明にかかる集積回路の多層配線形成方法は、多層金属配線技術による集積回路の製造に適用できるものである。

【0020】以上は、好適な実施の形態により本発明を説明したものであって、本発明を限定しようとするものではない。また、半導体技術に詳しい当業者であれば明白であるように、いずれも適度で微細な変更ならびに調整が可能であるから、それによって、本発明の技術思想が有効性を喪失するものではなく、やはり、本発明の技術思想の範囲に含まれるものとしなければならない。

【0021】

【発明の効果】本発明は、誘電膜上に浅い溝ならびに段差付の深い溝を形成し、浅い溝ならびに段差付の深い溝を金属膜で埋め込むものであって、段差付の深い溝により理想的なステップカバレッジが実現するとともに、浅い溝の内部に金属配線を形成し、段差付の深い溝の内部に金属プラグを形成する多層配線形成方法により、多層配線集積回路の大量生産に応用することができるので、産業上の利用価値が極めて高いものである。

【図 3】本発明の実施の形態において形成される第 1 フォトリソistパターンを示す断面図である。

【図 4】本発明の実施の形態におけるエッチング工程を示す断面図である。

【図 5】本発明の実施の形態におけるエッチング工程を示す断面図である。

【図 6】本発明の実施の形態における第 1 フォトリソistパターンの除去を示す断面図である。

【図 7】本発明により形成される第 2 フォトリソistパターン 34 を示す断面図である。

【図 8】本発明の実施の形態におけるエッチング工程を示す断面図である。

【図 9】本発明の実施の形態における第 2 誘電膜と第 2 フォトリソistパターンとの除去を示す断面図である。

【図 10】本発明の実施の形態において形成される金属膜を示す断面図である。

【図 11】本発明における金属膜のエッチング工程が完了した状態を示す断面図である。

【符号の説明】

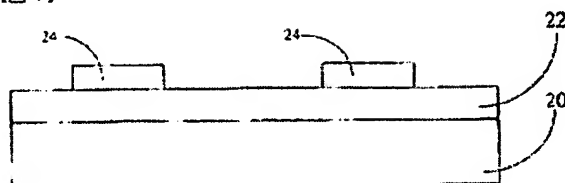
- 20 P 型シリコン半導体ウェハ
- 22 絶縁膜
- 24 第 1 金属配線
- 26 第 1 誘電膜
- 28 第 2 誘電膜
- 30 第 1 フォトリソistパターン
- 31 第 1 の浅い溝
- 34 第 2 フォトリソistパターン
- 35 第 1 の深い溝
- 38 金属膜
- 38A 第 2 金属配線
- 38B 第 1 金属プラグ

【図面の簡単な説明】

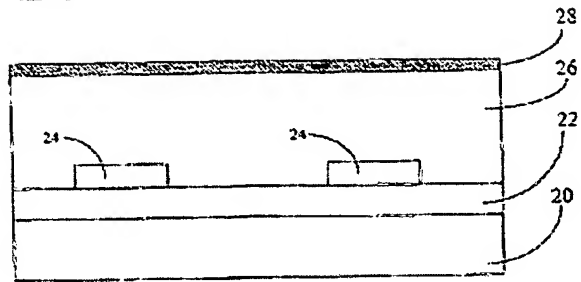
【図 1】本発明の実施の形態において形成される第 1 金属配線を示す断面図である。

【図 2】本発明の実施の形態において形成される 2 つの誘電膜を示す断面図である。

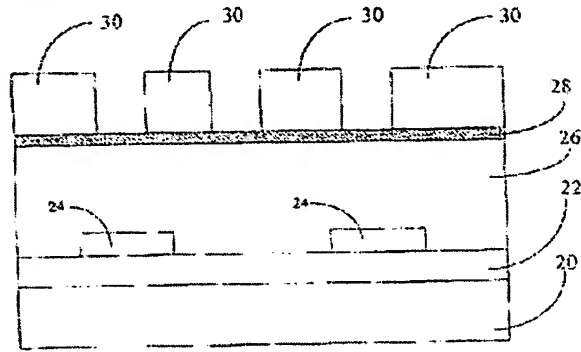
【図 1】



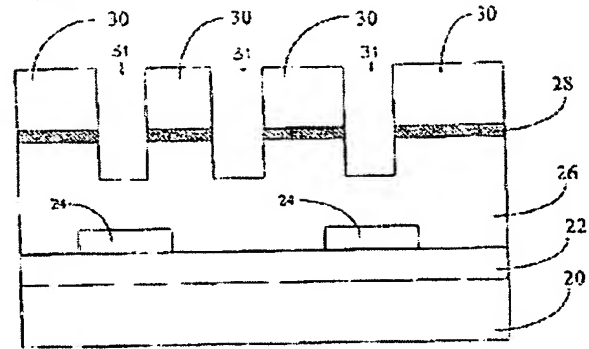
【図 2】

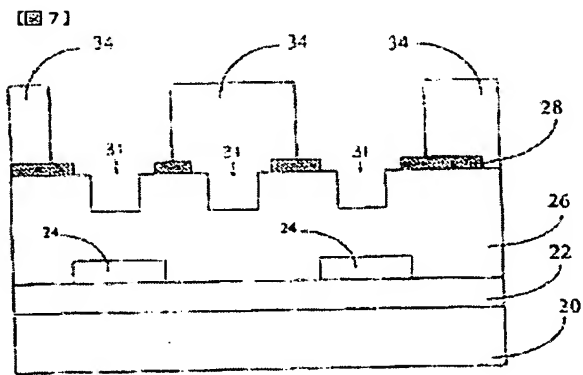
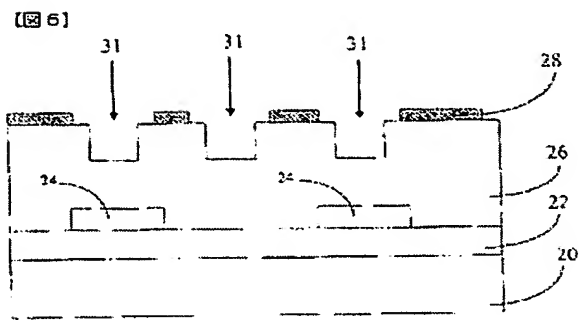
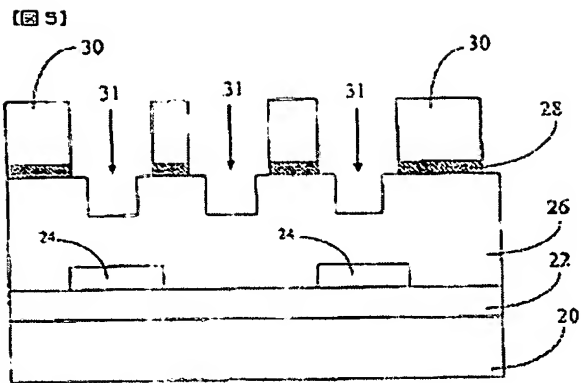


【図 3】

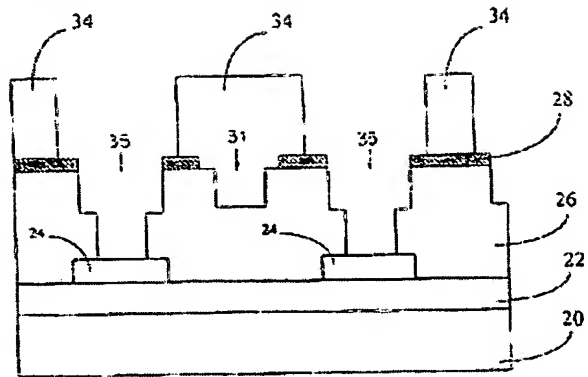


【図 4】

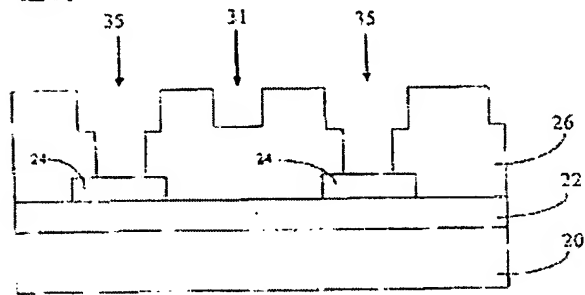




【図 8】



【図 9】



【図 10】

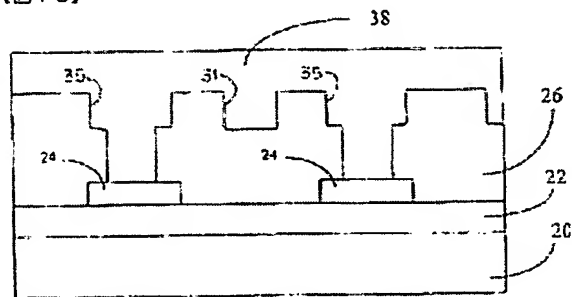


FIG. 11

